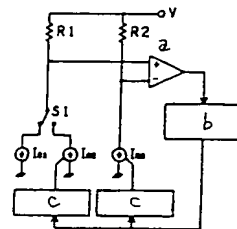


## (54) CURRENT JOINING SYSTEM AND AD/DA CONVERSION CIRCUIT USING THE SAME

- (11) 3-235424 (A) (43) 21.10.1991 (19) JP  
 (21) Appl. No. 2-29931 (22) 9.2.1990  
 (71) HITACHI LTD(1) (72) KENJI MAIO(3)  
 (51) Int. Cl<sup>5</sup>. H03M1/10, H03M1/76

**PURPOSE:** To attain a highly precise self-calibrating function, and to realize speedup by comparing voltage obtained by switching a first resistor to a second constant current source and the voltage of a second resistor by the current of a calibrated dummy constant current source with each other, and calibrating the current value of the second constant current source so that both the voltages coincide with each other.

**CONSTITUTION:** A switch S1 is connected to a constant current source  $I_{01}$  side so as to flow the constant current of the constant current source  $I_{01}$  side in the resistor R1. The current adjustment of the dummy constant current source  $I_{00}$  is executed so that  $I_{01} = I_{00}$  is realized, and the switch S1 is switched to the constant current source  $I_{02}$  side. The current adjustment of the constant current source  $I_{02}$  is executed so that  $I_{02} = I_{00}$  is realized. This system is to make the constant current sources into  $I_{01} = I_{02}$  by interposing the dummy constant current source  $I_{00}$ . Namely, since it realizes  $R1 \times I_{01} = (R2 \times I_{00}) = R1 \times I_{02}$ , the influence of the precision of the resistance value ratio of the resistors R1 and R2 can be made not to exercise. Besides, even if there is an input offset in a comparator, it is canceled by voltage comparing operation.



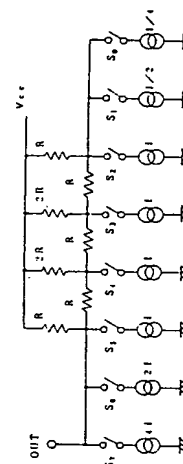
a: comparator, b: up-down counter, c: current control circuit

## (54) DIGITAL-ANALOG CONVERTER

- (11) 3-235425 (A) (43) 21.10.1991 (19) JP  
 (21) Appl. No. 2-30824 (22) 9.2.1990  
 (71) FUJITSU LTD (72) SHIGERU NISHIO  
 (51) Int. Cl<sup>5</sup>. H03M1/74, H03M1/78

**PURPOSE:** To reduce the current of a current switch while keeping conversion precision, and to realize the low power consumption of a D/A converter by making a low order bit having a margin in the conversion precision into current weighting.

**CONSTITUTION:** A resistance value in the case an R-2R ladder circuit is seen from a switch S side is  $2R/3$ , and the voltage  $V_{cc} \cdot 4I \cdot 2R/3$  of an output terminal OUT at the time when an MSB switch  $S_7$  is closed is made to be  $1/2$  of a full scale, and thus, the voltage  $V_{cc} \cdot 2I \cdot 2R/3$  of the output terminal OUT at the time when the next switch  $S_6$  is closed becomes  $1/4$  of the full scale, and the voltage of the output terminal OUT at the time when the switch  $S_5, S_4, \dots$  of an R-2R ladder resistance part is closed becomes  $1/8, 1/16, \dots$  of the full scale. The current weighting reduces a wasteful current, and ineffective power consumption is reduced.



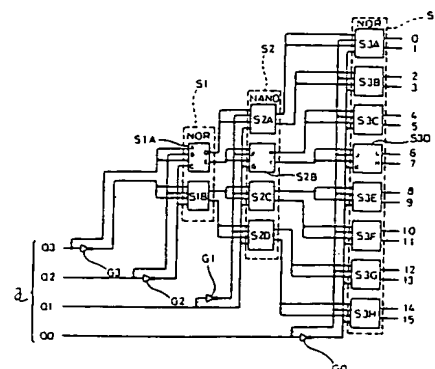
BEST AVAILABLE COPY

## (54) DECODER

- (11) 3-235426 (A) (43) 21.10.1991 (19) JP  
 (21) Appl. No. 2-31209 (22) 9.2.1990  
 (71) FUJITSU LTD (72) SHOJI NAKAMURA  
 (51) Int. Cl<sup>5</sup>. H03M7/00

**PURPOSE:** To realize a decoder whose circuit configuration is simplified by constituting a select unit constituted of gates into the form of a pyramid according to the number of stages.

**CONSTITUTION:** S1 is the selector of a first stage, and S2 is the selector of a second stage, and S3 is the selector of a third stage. Since 6, 7 are positioned in the lower half of 0 to 15, first of all, the lower half is selected by the selector S1, and the upper half of the lower half is selected by the next selector S2, and the upper half of an area divided by the selector S2 is selected by the last selector S3. As the result, the decode pulses of objective 6 and 7 can be obtained. By combining select gates into the form of the pyramid in this way, the decoding of the objective value is executed.



a: input data



E4051

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

平3-235425

⑤ Int. Cl. <sup>s</sup>H 03 M 1/74  
1/78

識別記号

庁内整理番号

9065-5 J  
9065-5 J

⑬ 公開 平成3年(1991)10月21日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 デジタルーアナログ変換器

⑮ 特 願 平2-30824

⑯ 出 願 平2(1990)2月9日

⑰ 発 明 者 西 尾 茂 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
⑲ 代 理 人 弁理士 青 柳 稔

## 明 細 書

## 1. 発明の名称

デジタルーアナログ変換器

## 2. 特許請求の範囲

1. nビットデジタルーアナログ変換器において、

前記nビット中、上位mビット及び下位lビットを電流重み付けで、そして中間の(n-m-l)ビットをR-2Rラダー抵抗で構成したことを特徴とするデジタルーアナログ変換器。

## 3. 発明の詳細な説明

(発明の概要)

R-2Rラダー抵抗を用いたデジタルーアナログ変換器に関し、

電流損失を小さくすることができ、しかも変換精度を保持できる、電流重み付け、R-2Rラダー抵抗型D/A変換器を提供することを目的とし、

nビットデジタルーアナログ変換器において、前記nビット中、上位mビット及び下位lビットを電流重み付けで、そして中間の(n-m-l)

ビットをR-2Rラダー抵抗で構成する。

(産業上の利用分野)

本発明は、R-2Rラダー抵抗を用いたデジタルーアナログ変換器に関する。

R-2Rラダー抵抗を用いたデジタルーアナログ(D/A)変換器は広く用いられており、またこの変形である電流重み付けを行なったD/A変換器も用いられている。本発明は詳しくはこの電流重み付けを行なったD/A変換器に係るものである。

(従来の技術)

従来の電流重み付け、R-2Rラダー抵抗を用いたD/A変換器の概要を第3図に示す。

この図でRは抵抗、2Rはその2倍の抵抗値を持つ抵抗、CS<sub>0-1</sub>~CS<sub>0</sub>は、デジタル値の各桁1, 0でオン、オフする電流スイッチで、CS<sub>0</sub>はLSB側、CS<sub>0-1</sub>はMSB側である。Iは電流値Iの定電流源、V<sub>cc</sub>は電源またはその他

の電圧、OUTは本回路の出力端または出力電圧である。

この回路で $CS_{n-1} \sim CS_0$ から $V_{cc}$ を見た回路の抵抗は、全て $2/3 R$ でありMSBの電流スイッチがオンの時にフルスケールの $1/2$ の電圧が現れるように $R_1$ を設定する。 $2SB, 3SB, \dots$ がオンするとフルスケールの $1/4, 1/8, \dots$ の電圧が得られ、全スイッチをオンしたとき最大出力(フルスケール)、全スイッチをオフしたとき最小出力である。

#### 〔発明が解決しようとする課題〕

$R-2R$ ラダー抵抗の抵抗およびフルスケール電圧が固定であった場合、電流スイッチ群の消費電流を低減するためには、電流重み付けのBit数を増やすことで実現できる。

ところが、電流重み付けのBit数を増やすと電流比が大となる。たとえば4Bitを電流重み付けとすると、 $16I, 8I, 4I, 2I, I$ の電流源が必要となり、このような $16:8:4:$

このD/A変換器では下位 $l$ ビットも電流重み付けとしているので、抵抗 $R, 2R$ は中間の $n-m-l$ ビット分がよく、抵抗部分の小型化が図れ、また下位ビットの定電流源の電流は $1/2, \dots, 1/2^{n-l}, 1/2^n$ でよいため低消費電流化が流れる。

定電流源としては電流が $1/2, \dots, 1/2^{n-l}, 1/2^n$ のものも作らなければならないが、下位ビットの誤差は上位ビットの誤差に比べて全体の誤差に与える影響が小さい。従って下位ビットを電流重み付け型にしても変換精度悪化の恐れは少ない。

#### 〔実施例〕

第2図は上/下位2ビットを電流重み付け、中間4ビットを $R-2R$ ラダー抵抗の重み付けとした、8ビットD/A変換器を示す。前述のように $R-2R$ ラダー回路をスイッチ $S$ 側から見た場合の抵抗値は $2R/3$ であり、MSBスイッチ $S_7$ を閉じたときの出力端OUTの電圧 $V_{cc}-4I \cdot$

$2:1$ の比を正確に作り出すことは容易でない事は一般に知られている。

本発明はかかる点を改善し、消費電流を小さくすることができ、しかも変換精度を保持できる、電流重み付け、 $R-2R$ ラダー抵抗型D/A変換器を提供することを目的とするものである。

#### 〔課題を解決するための手段〕

第1図に示すように本発明では、下位ビットも電流重み付けとする。従って $n$ ビットD/A変換器の上位 $m$ ビットと下位 $l$ ビットが電流重み付けとなり、中間の $(n-m-l)$ ビットだけが $R-2R$ ラダー抵抗の重み付けである。

上位 $m$ ビットの電流重み付け部分の定電流源の電流は $2^m I, 2^{m-1} I, \dots, 2^1 I$ であり、下位 $l$ ビットの電流重み付け部分の定電流源の電流は $I/2, \dots, I/2^{n-l}, I/2^n$ である。中間 $(n-m-l)$ ビットの $R-2R$ ラダー抵抗重み付け部分の定電流源の電流は $I$ である。

#### 〔作用〕

$2R/3$ がフルスケールの $1/2$ になるようにされ、これにより次のスイッチ $S_1$ を閉じたときの出力端OUTの電圧 $V_{cc}-2I \cdot 2R/3$ はフルスケールの $1/4$ に、 $R-2R$ ラダー抵抗部のスイッチ $S_2, S_3, \dots$ を閉じたときの出力端OUTの電圧はフルスケールの $1/8, 1/16, \dots$ になる点は第3図と同様である。

下位ビット側のスイッチ $S_{n-l}, S_n$ を閉じると、出力端OUTの電圧はフルスケールの $1/2^n, 1/2^{n-1}$ になる。これは、スイッチ $S_1$ を閉じたとき図面で $S_1$ の直上の $R$ に $2I/3$ 、左の $R$ に $I/3$ の電流が流れ、そのまた左の $R$ にはその半分の $I/6$ 、そのまた左の $R$ にはその半分の $I/12$ の電流が流れ、この $I/12$ が $S_2$ の直上の $R$ に流れて $-RI/12$ の電圧降下を生じ、これがフルスケールの $1/2^4$ となるが、スイッチ $S_1$ を閉じたときは電流が $I/2$ であるから $S_2$ の直上の $R$ に生じる電圧降下は $S_1$ のときの半分で $-RI/24$ 、スイッチ $S_3$ を閉じたときの電圧降下は更にその半分の $-RI/48$ になることを考えれば明ら

かである。

R-2Rラダー抵抗部では有効な電流はMSBの直上のRに流れる電流のみで(これがDACの出力になる)、他のR、2Rに流れる電流は出力に直接は寄与しない無駄な電流と考えることができる。従って多ビットDACをR-2Rラダーのみで構成すると無駄な電流が大きくなり、無効消費電力が大きい。この点電流重み付けは無駄な電流が少なくなり、無効消費電力が少ない。

電流比を変えると電流スイッチ間の比精度は取りにくくなるが、最上位ビットである $S_{n-1}$ 、 $I$ に比べて最下位ビットである $S_0$ 、 $I/4$ は $1/2^m$ でよく(他もこれに準ずる)、このため精度に余裕のある下位 $l$ ビットを電源重み付けとした本発明D/A変換器は、抵抗R、2Rを小規模化することができると共に、これを上位に持って行って上位 $m+l$ ビットを電流重み付けとする方式より遙かに変換精度を高く保持することができる。また、低消費電力化も図れる。

下位ビットの電流重み付けは、最下位ビットの

定電流源 $I/4$ 、スイッチ $S_0$ を基本として、最下位の次のビット $S_1$ 、 $I/2$ はこれ( $S_0$ 、 $I/4$ )を2個並列に接続したもの、最下位の次の次のビットはこれを4個並列に接続したもの(以下これに準ずる)とすることができる。上位ビットの電流重み付けもこれに準ずる。なお上位ビットの電流重み付けはデコード方式による重み付けにすることも可能である。

#### (発明の効果)

以上説明したように本発明によれば変換精度に余裕のある下位ビットを電流重み付けにする事により、変換精度は保ったままで電流スイッチの電流を減らす事ができ、D/A変換器の低消費電力化を実現できる。また電流重み付けに変えたところのR-2Rラダー抵抗は削除できるのでチップ面積の縮小にも寄与する。

#### 4. 図面の簡単な説明

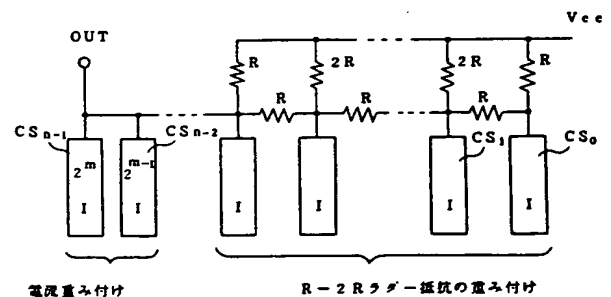
第1図は本発明の原理図、

第2図は本発明の実施例を示す回路図、

第3図は従来例の説明図である。

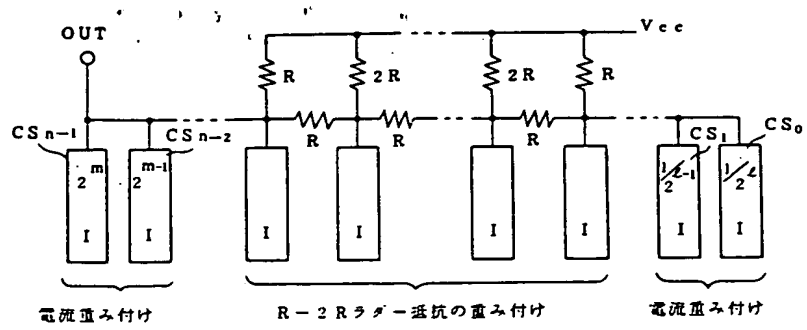
第1図でR、2Rは抵抗、 $CS_0 \sim CS_{n-1}$ は電流スイッチ部である。

出 願 人 富 士 通 株 式 会 社  
代理人弁理士 青 柳 稔



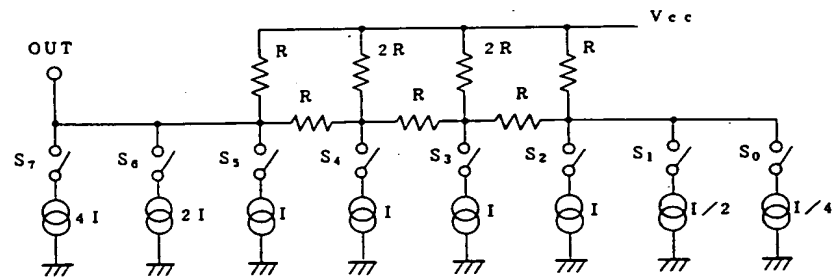
従来例1の説明図

第3図



本発明の原理図

第1図



本発明の実施例を示す回路図

第2図